

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-141768
(43)Date of publication of application : 02.09.1982

(51)Int.CI.

G06F 15/20

G06F 3/00

(21)Application number : 56-027473

(71)Applicant : KAWASAKI HEAVY IND
LTD

(22)Date of filing : 25.02.1981

(72)Inventor : TANEDA SADAHIRO
HIRAMATSU ARATA

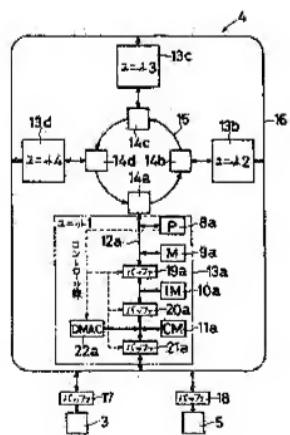
(54) HIGH SPEED TRANSFERRING DEVICE FOR VIDEO INFORMATION

(57)Abstract:

PURPOSE: To reduce the latency time and to transfer video information at a high speed, by dividing the content of communication between processors into information for managing function such as transfer request and video information, and transferring the managing information via a ring data bus, and the video information via a common bus.

CONSTITUTION: In parallel processing of video information with a plurality of processors, video memories 3 and 5 are connected to a common bus 16 of a parallel picture processor 4 via buffers 17 and 18. A plurality of units 13aW13d are connected with the common bus 16 and a ring data bus 15 is connected to the units 13aW13d via ring controllers 14aW14d. An internal bus 12a of the units 13aW13d is provided with a processor 8a, a system memory 10a, a video memory 11a and a DMA controller 22a. The

video information is transferred via the common bus 16, the managing information such as synchronism is transferred via a data bus 15, the waiting time is reduced and the video information is transferred in high speed.



⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑰ 公開特許公報 (A) 昭57-141768

⑯ Int. Cl. 3
G 06 F 15/20
3/00 識別記号 103
101 行内整理番号 6913-5B
6711-5B
⑯ 公開 昭和57年(1982)9月2日
⑯ 発明の数 1
審査請求 未請求

(全 6 頁)

⑯ 画像情報の高速転送装置

⑯ 特 願 昭56-27473
⑯ 出 願 昭56(1981)2月25日

⑯ 発明者 種子田定博
明石市川崎町1番1号川崎重工
業株式会社明石工場内

⑯ 発明者 平松新
明石市川崎町1番1号川崎重工
業株式会社明石工場内
⑯ 出願人 川崎重工業株式会社
神戸市中央区東川崎町3丁目1
番1号
⑯ 代理人 弁理士 西教圭一郎

明細書

1、発明の名称

画像情報の高速転送装置

2、特許請求の範囲

画像情報を複数台のプロセサで並列処理するにあたり、プロセサ間の通信内容を同期、転送要束などの管理機能上の情報を、画像情報とに分け、管理機能上の情報の高速転送にはリンクデータバスを用い、画像情報の高速転送には共通バスを介したDMA転送を用いて画像情報を高速に転送するようにしたことを特徴とする画像情報の高速転送装置

3、発明の詳細な説明

画像情報を高速に処理するためには、一般に複数台のプロセサで並列処理する装置が用いられる。この場合、対象となる画像情報は、いくつかの領域に分割され、各プロセサがそれぞれの領域を担当し、互いに同期通信、情報転送を行なうながら並列に処理を進めるが、ここで転送される情報量は比較的大きな容量となる。本発明は、並列処理

する装置自体に関するものではなく、並列処理を行なうプロセサ間での情報の高速転送装置に関するものである。

画像処理では、一般に第1図の構成の装置が用いられる。テレビカメラなどの撮像装置1により撮像された画像は、サンプルホールド回路2によりサンプリングされ、量子化されて画像メモリ3に格納される。この画像メモリ3の画像情報を対して、並列画像処理装置4が微分、平滑化、細線化などの処理を行なつた後、その結果は画像メモリ5に格納される。画像メモリ5の情報は、例えばデジタルアナログ変換器6を介してモニタテレビ7に表示される。

並列画像装置4の内部における画像情報の高速転送装置としては、従来から、大別すると、

(1)プロセサが入出力ポートなどを介して転送する装置と、

(2)プロセサを介さずにメモリ間でDMA転送する装置とが用いられる。(1)の装置は情報量が大きい場合には、時間を要するため実用的でない。ま

た(2)の装置の代表的なものに、共通バスを介するものと、リングデータバスを介するものがある。共通バスを介する転送装置では、通常各メモリーがバッファを介して共通バスに結合され、バスコントローラあるいはバス管理用プロセサが共通バスの管理に当たる。そしてプロセサ間の通信には優先順位が生じるため、プロセサ台数が増加するごとに、各プロセサの待ち時間が増大するという欠点がある。さらにプロセサ台数の増加に伴い、バスコントローラあるいは、管理用プロセサの扱う情報転送要求、同期などの管理機能情報の量が増加し、これらの情報に対するバスコントローラの処理がかなり複雑となる。リングデータバスを介する転送装置では、通信手順が簡単である反面、転送できる単位時間当たりの情報量が制限されるため、プロセサの台数が増加するに従い、待ち時間なしでプロセサ間で転送できる情報量が減少し、画像情報のように容量の多い情報の高速転送には適さない。

本発明では、画像情報の転送にあたり、管理機

施上の情報をリングデータバスを介して転送し、画像情報を共通バスを介して転送することにより、上記欠点を改善することを目的とする。

以下、図面を参照して本発明の一実施例を説明する。第2図は、第1図に示された並列画像処理装置4の構成を説明する図である。この装置4は、4つのユニット13a、13b、13c、13dがリングデータバス15および共通バス16により結合されており、第1図の画像メモリ3と5はそれぞれバスバッファ17、18により共通バス16にそれぞれ結合される。ユニット13aは、プロセサ8a、システムメモリ9a、画像メモリ10a、コミュニケーションメモリ11a、リングコントローラ14a、DMAコントローラ22a、バスバッファ19a、20a、21aにより構成される。12aは内部バスである。他のユニット13b～13dもまた、ユニット13aと同一の構成を有する。ユニット13a～13dに関連する構成要素には、添字a～dを付して、以下に説明を行なう。DMAは、Direct Memory Accessの略である。

第3図は、リングコントローラ14aの構成を説明する図である。プロセサ8aが送信したい情報をリングコントローラ14aへの入力バッファ(以後送信メイルボックスと呼ぶこととする。)24aに投入すると、セレクタ23aはリングデータバス15aが空き状態であるかどうか調べ、空き状態であると、送信メイルボックス24aの情報を選択してシフトレジスタ25aに入力する。一方では、リングデータバス15の情報を判別器26aが判別して、自分宛てのものを受信メイルボックス28aに取り込む。プロセサ8aはリングコントローラ14aの出力バッファ24a(以後受信メイルボックスと呼ぶこととする。)のステータスを調べて情報を取り込む。残余のリングコントローラ14b～14dもまた、リングコントローラ14aと同一の構成を有する。

画像メモリ3は、第4図のよう4つの領域29a、29b、29c、29dに分割され、各ユニット13a～13d内の画像メモリ10a、10b、10c、10dに分配される。たとえば

画像メモリ3の領域29aがユニット1の画像メモリ10aに転送される場合、DMAコントローラ22aが共通バス16のバスコントローラとなり、プロセサ8aからの信号で動作する。DMAコントローラ22aは市販のDMAコントローラ用IC(集積回路)を用いると、構成が容易であり、プロセサ8aはDMA転送に必要な情報をこれに与えるだけでよい。なおバッファ19aを閉じ、バッファ20a、21aを開くことにより、画像メモリ10aがユニット13aの内部バス12aより切り離されるので、プロセサ8aは転送とは独立して処理を進めることができ、このことはユニット13b～13dについても同様である。

一方、第5図に示す分割された領域29a～29dの中の境界部付近の領域301～308の情報を集め、第6図に示すコミュニケーションメモリ11aの領域311～318には、領域301～308のストア内容がそれぞれ格納される。コミュニケーションメモリ11aは残余のユニット13b～13

dにおいて受けられている各コミュニケーションメモリ11b～11dと同じ大きさの容積を持つており、対応する番地のストア内容は同一となつていて。すなわちこれらのユニット13a～13dの各コミュニケーションメモリ11a～11dには、領域301～308のストア内容が同様に格納される。従つて、以後各ユニット13a～13d内で独立して画像処理を行なう時に、各ユニット13a～13dが所有する画像領域29a～29dの情報以外に他のユニット13a～13dの所有する領域301～308の情報が必要になれば、そのユニット13a～13dに備えられているコミュニケーションメモリの該当領域311～318を参照すればよい。

一つの段階の並列処理が終了すると、次の並列処理に向けて以下の作業が行なわれる。まずユニット13aでは処理結果を画像メモリ10aに格納し、バッファ19aを開き、バッファ20a、21aを開くことにより、画像メモリ10aとコミュニケーションメモリ11aとを内部バス1

3dにおいても上記の手順で転送が行なわれ、最後にユニット13dがユニット13a～13cに処理準備完了の通知をリングデータバス経由で行なう。各ユニット13a～13dは、バスバッファ19を開き、バスバッファ20、21を閉じることにより、画像メモリ10、コミュニケーションメモリ11を内部バス12に結合し、処理を開始する。第9図に情報の転送経路を簡略化して示す。

処理がすべて完了すると、ユニット13aは、DMAコントローラ221に指令を出し、ユニット13a～13dの画像メモリ10a、10b、10c、10dを画像メモリ5に転送する。なお共通バス経由DMA転送方式の実現は、GPIBアダプタ(米国テキサスインスツルメンツ社製の商品名)など市販の汎用モジュールを用いれば、容易となる。以下本方式と第10図に示す従来方式についての転送所要時間を述べる。ユニット13a～13dの台数をN、各ユニット13a～13dが1回当たり転送する情報量をMワード、送

2aより切り離す。ユニット13b～13dでも同様に上記の動作を行つた後、ユニット13aに、リングデータバス15を介してからはじめ決められた情報を送信し、上記動作の完了を通知する。送信の手順は第7図に示すとおりである。ユニット13aは第8図に示す手順で情報を送信し、その内容を判別して、ユニット13b～13dの上記動作終了を確認する。その後内部バス12aを介してDMAコントローラ22aに指令を出し、画像メモリ10a内の領域301、302を全ユニット13a～13d内の領域311、312に転送させる。DMAコントローラ22aは転送を完了すると、プロセサ8aに割り込みにより転送完了を通知し、プロセサ8aはリングデータバス15を介してユニット13bのプロセサ8bに転送完了を示す情報を第7図に示す手順で送信し、ユニット13bのプロセサ8bがこの情報を第8図に示す手順で受信して今度は、ユニット13bにおいて上記手順の転送が行なわれる。以下ユニット13c、1

信回数し回、共通バス獲得に必要な手続きの所要時間を持り、リングデータバス15に情報を送信するための手続きの所要時間を持り、1ワード当たりの転送時間を持りとすると、第10図の従来方式による転送所要時間T0は、バスコントローラ32が転送要求をシリアルに処理するため、

$$T_0 = L (N_0 + M t_2) \quad \dots (1)$$

となり一方、本方式による転送所要時間T1は、上記の説明により、

$$T_1 = L (t_1 + M t_2) \quad \dots (2)$$

となる。ここでt1はt0と同程度であるから、本方式では、転送に要する時間が従来方式による場合より、

$$L (N - 1) t_0$$

時間だけ短縮される。従つてユニット13a～13dの台数Nが多くなると、本方式による効果が一層大きくなる。

本発明の方式では、以下のようない效果が得られる。

(1)プロセサは、画像情報転送中でも処理をロー

カルに進めることができるので、この間にも必要があればリングデータバスを用いて情報転送ができる。

(2)情報転送経路が2重であるため、信頼性の高い装置が実現できる。

(3)ユニットの拡張性がある。

(4)専用のバスコントローラの設置は不要であり、どのユニットのDMAコントローラもバスコントローラとなることができる。

(5)リングバスコントローラが、送受信メイルボックスとリングデータバスとの間の情報(メイル)の交換を行なうため、プロセサのプログラム上の負担が低い。

4. 図面の簡単な説明

第1図は画像処理装置の構成概要を示すブロック図、第2図は並列画像処理装置4を示すブロック図、第3図はリングコントローラ14aのブロック図、第4図は分割された画像情報を示す図、第5図は境界部画像情報を示す図、第6図はコミュニケーションメモリ11aを示す図、第7図は

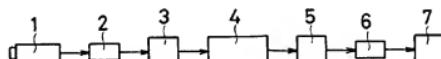
送信動作を説明するためのフローチャート、第8図は受信動作を説明するためのフローチャート、第9図は画像情報の転送経路を示す図、第10図は従来の方式を示すブロック図である。

4…並列画像処理装置、10a…画像メモリ、11a…コミュニケーションメモリ、13a～13d…ユニット、15…リングデータバス、16…共通バス、17, 18…バスアダプタ、19a, 20a, 21a…バスアダプタ、22a…DMAコントローラ

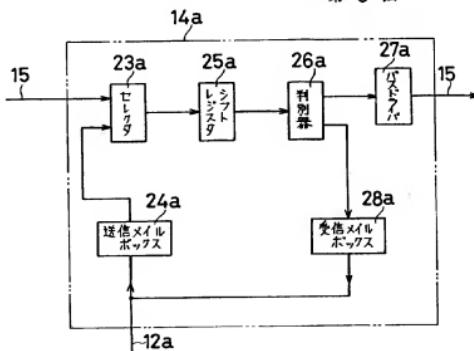
代理人

弁理士 西 教 主 一郎

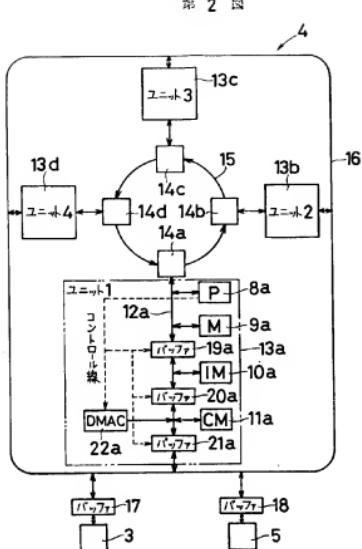
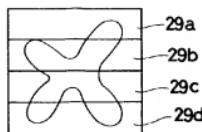
第1図



第3図



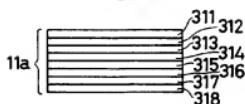
第4図



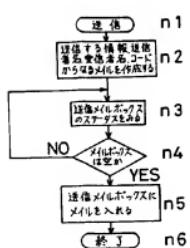
第5図



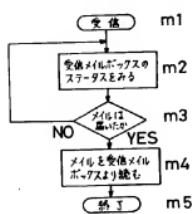
第6図



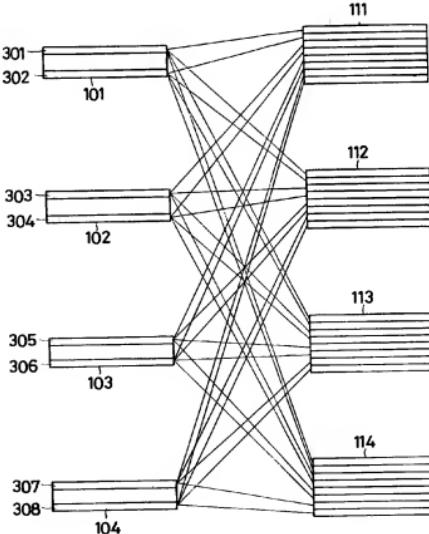
第7図



第8図



第9図



第10図

